

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-69546

(43) 公開日 平成6年(1994)3月11日

(51) Int.Cl.<sup>5</sup>  
H 0 1 L 33/00

識別記号 庁内整理番号  
N 7514-4M

F I

技術表示箇所

審査請求 未請求 請求項の数1(全10頁)

(21) 出願番号 特願平4-222627

(22) 出願日 平成4年(1992)8月21日

(71) 出願人 000000033

旭化成工業株式会社

大阪府大阪市北区堂島浜1丁目2番6号

(72) 発明者 後藤 広将

静岡県富士市鮫島2番地の1 旭化成工業  
株式会社内

(72) 発明者 今井 秀秋

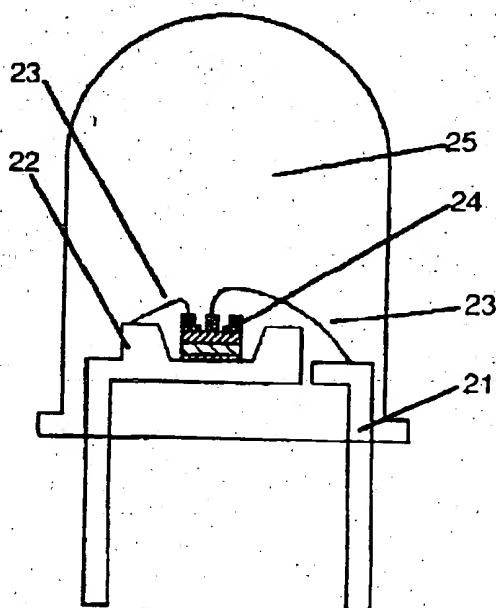
静岡県富士市鮫島2番地の1 旭化成工業  
株式会社内

(54) 【発明の名称】 発光ダイオード

(57) 【要約】

【構成】 絶縁性基板上にn型半導体層、p型および1型半導体層から選ばれた2種以上の組み合わせからなる発光層を少なくとも一つ有し、かつ半導体層の所定の部位に発光層に電圧を印加するための電極を有するプレーナ構造の素子チップにおいて、電極とリード部材との接続が全てワイヤーである構造を特徴とする発光ダイオード。

【効果】 電極間の接触が少なく、発光性能に優れた、品質の安定したLEDが得られる。



1

## 【特許請求の範囲】

【請求項1】 絶縁性基板上にn型半導体層、p型および1型半導体層から選ばれた2種以上の組み合わせからなる発光層を少なくとも一つ有し、かつ半導体層の所定の部位に発光層に電圧を印加するための電極を有するプレーナ構造の素子チップにおいて、電極とリード部材との接続配線が全てワイヤーである構造を特徴とする発光ダイオード。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、絶縁性基板を用いた発光素子チップをリードフレームに実装した発光ダイオードに関する。

【0002】

【従来の技術】 従来、実用化されている発光ダイオード(LED)に実装されている素子チップはGaAs、InPなどの導電性基板を用いていることから正負の電極部は素子チップの表と裏に形成されていた。従来のリードフレームに素子チップを実装し樹脂で封止したLEDの断面図を図12に示す。上述したように導電性基板を用いて作製した素子チップは表と裏に電極を有する構造をとっているため、この素子チップ24をリードフレーム49に接合する場合には片方の電極をリードフレームのミラー部50にハンダあるいは導電性ペーストにより接着し、もう片方の電極はワイヤーボンディング法によってリード部材48に接続するような構造をとっていた。このリード部材47、48に素子チップを実装した後にエポキシ樹脂などで封止してLED25を形成していた。近年では、透明絶縁性基板を用いたフリップチップ方式の素子チップによるLEDが提案されている。(特開平4-10670)この透明絶縁性基板上に発光層を形成した発光素子チップを用いて作製したLEDとしては、図13に示すような構造であり、素子チップ24の電極19、20は正負の電極とも発光層側に位置し、リード部材51、52との接続は、ハンダあるいは導電性ペーストにより行われていた。

【0003】

【発明が解決しようとする課題】 上述したように発光素子チップに導電性基板を用いたときには、基板に電流を流すことができるので、正負の電極は基板側に1つ、発光層側に1つ形成することが可能である。リードフレームに接続する際には基板側の電極をリード部材にダイボンディングし、発光層側の電極は他のリード部材にワイヤーボンディングするという方法でLEDを作製していた。しかし、透明絶縁性基板を素子チップに用いた場合には、発光層側に正負一対の電極を有するフリップチップ方式をとるため、素子チップとリード部材の接続は上述した接続方法をとることができない。このため、発光層側に形成された2種の電極をリードフレームに接続するためには、2本のリード部材の素子チップとの接続面

2

は平坦にして、この平坦面に素子チップの電極面をハンダあるいは導電性ペーストにより接着する工程をとる。しかしこの方法では、同一面内に2種の電極を形成しなければならないため1mm角以下の素子チップサイズでは電極サイズは200 $\mu$ m以下としなければならず、ハンダあるいは導電性ペーストによる接着工程において2種の電極部が接触してしまうという問題があった。また、素子チップサイズに対するハンダあるいは導電性ペーストにより接着される電極面積が広いため、より効率よく発光させるために用いられるミランダ状、ネット状あるいはクシ状のような複雑な電極パターンを形成することはできなかった。あるいは、1つのLEDから2色以上の発光を得る多色発光ダイオードを作製する場合には、3カ所以上の電極部を必要とするため電極面積はさらに小さくしなければならず、ハンダあるいは導電性ペーストによる電極とリード部材との接続は不可能であった。また、従来提案されているLEDに用いる発光素子チップは透明な絶縁性基板を使用しており、発光した光を基板を通して取り出す構造のために基板による光の吸収があるため発光効率が低下するという問題点もあった。

【0004】 本発明は、前記問題点を解決して簡単に再現よく発光特性の良好なLEDを提供しようとするものである。

【0005】

【課題を解決するための手段】 本発明者らは前記問題点を解決するために鋭意研究を重ねた結果、絶縁性基板を用いた素子チップの全ての電極と各リード部材とを接続する際にワイヤーボンディング法を用いることで、再現よく良好な特性を有するLEDを得ることができるようになったものである。

【0006】 すなわち、本発明は絶縁性基板上にn型半導体層、p型および1型半導体層から選ばれた2種以上の組み合わせからなる発光層を少なくとも一つ有し、かつ半導体層の所定の部位に発光層に電圧を印加するための電極を有するプレーナ構造の素子チップにおいて、電極とリード部材との接続が全てワイヤーである構造を特徴とする発光ダイオードを提供するものである。

【0007】 本発明における絶縁性基板としては表面が平坦であればよく、透明でもよく不透明でもよい。絶縁性基板として代表的なものとしては、サファイア(Al<sub>2</sub>O<sub>3</sub>)、石英(SiO<sub>2</sub>)、酸化マグネシウム(MgO)、チタン酸ストロンチウム(SrTiO<sub>3</sub>)、フッ化カルシウム(CaF<sub>2</sub>)、フッ化マグネシウム(MgF<sub>2</sub>)、酸化チタン(TiO<sub>2</sub>)などがある。しかし、基板上に直接形成する半導体薄膜の格子定数がこの絶縁性基板の格子定数に極力合ったものを用いるのがよい。この絶縁性基板と基板上に直接形成する半導体薄膜との格子不整合は10%以下とするのが好ましく、さらに好ましくは5%以下とするのがよい。このために該透

明絶縁性基板を所定の角度だけオフしたものをを使用することも好ましいものである。例えばGa<sub>2</sub>Nの場合はサファイアR面を9.2°オフした基板を用いることが好ましいものとなる。また絶縁性基板と半導体薄膜との格子不整合が非常に大きい場合には、この絶縁性基板と半導体薄膜との間にバッファ層を設けてもよい。バッファ層としてはアモルファス状の物質、例えばAlN、Ga<sub>2</sub>N、Si、SiCなど、あるいは単結晶物質として、例えばAlN、ZnO、SiC等を設けることができる。

【0008】本発明において絶縁性基板上に発光層を形成する方法としては、MBE (Molecular Beam Epitaxy) 法、CBE (Chemical Beam Epitaxy) 法、MOMBE (Metal Organic MBE) 法、CVD (Chemical Vapour Deposition) 法、MOCVD (Metal Organic CVD) 法等の半導体成長装置を用いることができる。上記した薄膜作製方法により絶縁性基板上に発光層を形成する。この発光層はMIS構造、pn接合を有するシングルヘテロ構造およびダブルヘテロ構造、あるいは量子井戸構造あるいは超格子構造のいずれであってもよい。

【0009】本発明における発光層とは、n型半導体層、p型およびi型半導体層から選ばれた2種以上の組み合わせからなる発光層のことである。また、これらの発光層を形成する半導体は、III-V族化合物半導体、II-VI族化合物半導体のどちらでもよいが、III-V族化合物半導体であるGa<sub>2</sub>N系半導体は絶縁性基板であるサファイア、CaF<sub>2</sub>、MgO等に結晶性の良好な薄膜の成長が可能であり特に好ましいものである。

【0010】本発明での発光素子チップは絶縁性基板を用いるために発光層側の同一平面内に正負一對の電極を形成する必要があり、発光層のエッチングを行わなければならない。この発光素子チップ作製のために行うエッチング方法としては発光層の種類により、ウエットエッチング法、ドライエッチング法のどちらを用いてもよい。エッチング後に熱処理を行うことも好ましいことであり、この熱処理を行うことによりエッチングにより受けた膜質の劣化を回復することができ、界面抵抗を下げ低電圧で発光に必要な電流を得ることができる。熱処理を行う装置としては管状炉、ランプアニール炉等の雰囲気制御できる炉であればよい。

【0011】本発明における発光素子チップの電極形成方法としては、MBE法、真空蒸着法、電子ビーム蒸着法、スパッタ法等がある。電極材料としてはn型半導体とp型あるいはi型半導体それぞれにオーミック接触が得られるものが好ましく、金属単体でもよく、2種以上の金属を混合して合金化したものを用いてもよい。このオーミック接触を得るための条件はn型半導体側の電極としては半導体の仕事関数よりも小さな仕事関数を有す

る金属がよく、p型半導体側の電極としては半導体の仕事関数よりも大きな仕事関数を有する金属を用いるのがよい。例えば、III-V族化合物半導体であるGa<sub>2</sub>Nの場合には、n型Ga<sub>2</sub>N層にはAl、In、Ti、Pb、Sb、Nb、Zr、Mn等を電極に用いることがよく、i型あるいはp型Ga<sub>2</sub>N層にはAu、Pt、Ge、As、Ir、Re、Rh、Pd、Ni、W等を電極に用いることで良好なオーミック接触が得られる。また、このオーミック電極形成後に素子チップをリード部材に接着する際に、接着性を向上させるためや、電極部の耐熱性を向上するためにオーミック電極上にNi、Ti、Au、W等の金属を積層することも好ましい。

【0012】電極形成後にAr、N<sub>2</sub>、He等の不活性ガス流中あるいは該半導体の構成元素を含むガス流中で半導体の分解温度以下で熱処理することも好ましく、これにより電極と半導体との界面抵抗を下げる事が可能になり、良好なダイオード特性を得ることができる。本発明におけるLEDは電極側から光を取り出す構造をとるため電極形状を工夫することが好ましい。発光した光を電極側から取り出すために該p型あるいはi型半導体層の表面を覆う電極面積は50%以下、好ましくは40%以下、さらに好ましくは30%以下とすることである。そのために、電極はp型あるいはi型半導体層の表面上にパターンを形成することが必要で、パターンの例としては図4に示すネット状、図5に示すクシ状、図6に示すミランダ状とすることができるが、さらにはこれらのパターンの組合せや渦状、島状等があるが、特にこれらに限定されるものではない。電極の幅と電極間の距離はp型あるいはi型半導体層の電気抵抗や印加する電圧の大きさにより変えればよく、電極の幅を狭くして、電極間の距離を小さくすれば、光の取り出し効率が向上する。電極の幅をサブミクロン程度とし、かつ電極間もサブミクロン程度の間隔とすることによりp型あるいはi型半導体層の表面に均一に電圧を印加するとともに光の取り出し効率も大きくすることができる。

【0013】また、本発明においては、基板上の発光層が形成されていない面上に図11に示すような少なくとも一種の金属反射層を設けることも好ましいものとなる。この金属層はn型半導体層およびp型あるいはi型半導体層を組み合わせる発光層において発光して基板を通して出てくる光を反射して電極側から取り出すことを可能とするものである。これにより、発光素子の光の取り出し効率を高めることができる。金属反射層として使われる材料としてはAl、In、Cu、Ag、Pt、Ir、Pd、Rh、W、Mo、Ti、Ni等の金属の単体あるいはそれらの合金がある。金属反射層は、一層だけでもよいが、リードフレームに実装するときの耐ハンダ性、耐熱性や耐ボンディング性を向上せしめるためにNi、W、Mo等の高融点の金属を積層した構造とすることも好ましいものとなる。

【0014】本発明におけるリードフレームの形状は素子チップをリード部材に固定するための接続部と、素子チップのそれぞれの部位に電圧を印加するための各電極と他のリード部材をワイヤーによってそれぞれ接続できる構造であればよく発光素子チップの電極形状により変えることができる。リードフレームは発光を有効に集光するためにミラー面を設けることが望ましい。

【0015】本発明における発光素子チップをリード部材にダイボンディングを行う際の接着の材料としては、一般的に使われているものを使用できる。例えばAu-Si、Pb-Sn合金系ハンダや、このハンダに少量のBi、Sb、Ag、Cd、Zn、In等の金属を添加したもの、BiにNa、Ti、Cd、Sn、Pb等を添加し合金化したもの、InにZn、Cd、Sn、Bi等を添加し合金化したもの、GaにAg、Zn、Sn、In等を添加し合金化したもの、Au、Al、In、Ag等の金属あるいはAg、Au、Cu等を含んだ導電性ペーストがある。素子チップとリード部材とを接着する方法としては、従来のダイボンディング装置を用いた方法がある。即ち、接着層を素子チップの該電極部、もしくはリード部材の素子チップの接着面に蒸着法、塗布法あるいはメッキ法等により形成した後、該電極部と該リード部材を密着させながらリード部材を接着材料の融点以上に加熱して接着を行う。

【0016】また本発明における発光素子チップの電極部とリード部材を配線する際にはワイヤーボンダー法を用いることが特徴である。ダイボンディング法により素子チップをリード部材に固定した後、ワイヤーボンディング装置にセットして加熱および、あるいは超音波を印加することにより電極部とリード部材とを接続する。このとき用いるワイヤーの材料としては、Au、Ag、Cu、Al等の金属、Au-Si、Al-Si、Al-Mg、Al-Si-Mg、Al-Ni等の合金があり、どの材料を使用するかは発光素子チップの電極部の材料やワイヤーボンディングの作業性を考慮して選べばよい。なかでも、AuやAl-Siが作業性がよいということで好ましい。ワイヤーの太さは、発光素子チップの電極部の大きやワイヤーボンディングの作業性を考慮して選べばよく、通常は20~300 $\mu$ mである。また、ワイヤーの酸化を防ぐために、不活性ガス中でワイヤーボンディングを行うことも好ましい方法である。

【0017】本発明における封止材料としては発光素子チップの発光波長範囲での光透過率が80%以上の透光性材料を使用することが好ましい。この透光性材料としては、メタクリル系樹脂、エポキシ系樹脂、ポリカーボネート系樹脂、ポリスチレン系樹脂、ポリオレフィン系樹脂あるいは低融点ガラスの少なくとも一種を使用することができる。封止方法としては、たとえば所望形状の金型にこれらの透光性材料の原料または加熱溶融体を注形して金型内で固化させる方法を用いることができる。こ

の固化の方法として、モノマーやオリゴマーの熱または光による重合固化、加熱溶融体では冷却固化、化学反応等を挙げることができる。この透光性材料には必要があれば、色調調整や視感度補正のための色素、顔料、蛍光体などを、樹脂の安定化のための酸化防止剤、安定剤、成形加工のための潤滑剤、滑剤を添加することも可能である。

【0018】以上説明した各方法を用いて作製したLEDの例を図3に示すが、これに限定されるものではない。素子チップ24は、絶縁基板上にn型半導体層、p型およびi型半導体から選ばれた2種以上の組み合わせからなる発光層を少なくとも一つ有し、かつそれぞれの半導体層の所定の部位に、発光層に電圧を印加するための電極を有するプレーナ構造の素子チップである。この素子チップの基板面あるいはリード部材22の接着面に蒸着法でハンダを蒸着した後、リード部材22の接着面に素子チップ24を載せハンダの融点以上に加熱して接着する。その後、各電極とそれぞれのリード部材とをワイヤーボンディング法を用いて金線により接続する。その後、透光性材料により封止してLED25を作製する。

【0019】以下、一例として絶縁性基板としてAl<sub>2</sub>O<sub>3</sub>を使用してMBE法を用いてGa<sub>2</sub>N薄膜を成膜しLEDを作製する方法について説明するが、とくにこれに限定されるものではない。装置としては、図1に示すような真空容器1内に、蒸発用ルツボ(クヌードセンセル)2、3および4、ガスセル7、基板加熱ホルダー5を備えたガスソースMBE装置を使用した。

【0020】蒸発用ルツボ2にはGa金属を入れ、基板面において $10^{13} \sim 10^{19} / \text{cm}^2 \cdot \text{sec}$ になる温度に加熱した。アンモニアの導入にはガス導入管8を用い、アンモニアをガスセル7内から基板6に直接吹き付けるようにした。アンモニアの導入量は基板表面において $10^{16} \sim 10^{20} / \text{cm}^2 \cdot \text{sec}$ になるように供給した。蒸発用ルツボ3にはIn、Al等を入れ、所定の組成の化合物半導体、および所定のキャリア密度を有する半導体となるように温度および時間を制御して成膜を行なう。蒸発用ルツボ4にはMg、Zn、Be、Sb、Si、Ge、C、Sn、Hg、As、P等を入れ、所定の供給量になるように温度および供給時間を制御することによりドーピングを行ない、n型およびi型あるいはp型半導体層を成膜する。

【0021】基板6にはサファイアR面を使用し、200~900℃に加熱した。サファイアR面基板は、オフ角が0.8度以下のものが好ましい。まず、基板6を真空容器1内で750℃で加熱した後、各ルツボを所定の成長温度に設定し、まず蒸発用ルツボ3を開き、0.1~3.0オングストローム/secの成長速度で0.05~2 $\mu$ mの厚みのn型Ga<sub>2</sub>N薄膜を作製する。さらにその後、Znをチャージした蒸発用ルツボ4のシャッター

7

を開き、0.1~30オングストローム/secの成長速度で0.01~1 $\mu$ mの厚みでi型あるいはp型Ga<sub>0.9</sub>N<sub>0.1</sub>薄膜を成膜して発光層を形成する。この成膜時には常にガスセルを加熱し基板表面にアンモニアを供給する。

【0022】以上のような方法で成膜した発光層を有するGa<sub>0.9</sub>N<sub>0.1</sub>薄膜を用いてLEDを作製する工程を図2(a)から図2(h)にしたがって説明する。真空蒸着法を用いてAl<sub>0.1</sub>O<sub>0.9</sub>側に金属反射膜17を蒸着する(a)。Ga<sub>0.9</sub>N<sub>0.1</sub>薄膜表面にレジストを塗布する。レジストの膜厚はエッチングしたいGa<sub>0.9</sub>N<sub>0.1</sub>薄膜の厚みによって変えればよく0.1~3 $\mu$ mとするのが好ましい。スピ

ンコーターの条件は2500rpm、30secである。塗布後に90℃に加熱されたクリーンオープン内で30分間プレベークする(b)。その後、素子パターン形成用マスクを用いてUV露光・現像を行った(c)。Arをガスとして用いてイオンミリング法によりi層あるいはp層のGa<sub>0.9</sub>N<sub>0.1</sub>薄膜14を除去する(d)。イオンミリング終了後、アセトンを用いてレジストを除去する。

【0023】なお、各工程でのイオンミリングを行う時間はエッチングを行う膜厚によって決めることができる。以上の工程の後、管状炉内に試料をセットしてアンモニアを雰囲気として500℃で30分間熱処理した。熱処理後、再度レジストを塗布し、プレベークを行い、続いてn層電極形成用マスクを用いてUV露光・現像を行った後(e)、真空蒸着法によりn型Ga<sub>0.9</sub>N<sub>0.1</sub>層15の電極としてAlを3000オングストロームの厚さに蒸着し、リフトオフにより電極パターン19を形成した(f)。ついで再度レジストを塗布し、プレベークを行

い、i層電極形成用マスクを用いてUV露光・現像を行

った後(g)、真空蒸着法によりp型あるいはi型Ga<sub>0.9</sub>N<sub>0.1</sub>層14の電極としてAuを3000オングストロームの厚さに蒸着し、リフトオフにより電極パターン20を形成した(h)。その後、Ar流中で300℃、1時間の加熱処理を行った。

【0024】以上のようにして作製した発光素子チップの金属反射膜をハンダによりリード部材22に接着し、n型Ga<sub>0.9</sub>N<sub>0.1</sub>層、i型Ga<sub>0.9</sub>N<sub>0.1</sub>層の電極をワイヤーボンダー装置を用いて30 $\mu$ m $\phi$ Au線23でそれぞれリード部材21、リード部材22にボンディングした。その後、発光素子チップを透明エポキシ樹脂によりモールド

ングを施し、図3に示す様な5mm $\phi$ LED25を作製した。

【0025】

【実施例】以下、実施例によりさらに詳細に説明する。

【0026】

【実施例1】絶縁性基板としてAl<sub>0.1</sub>O<sub>0.9</sub>R面を使用し、MBE法によりGa<sub>0.9</sub>N<sub>0.1</sub>薄膜を成膜し、ミランダ状の電極構造を有する素子チップを用いてLEDを作製した例について説明する。図1に示すような真空容器1内

8

に、蒸発用ルツボ2、4、ガスセル7、および基板加熱ホルダー5、さらにガスセル7にガスを供給するためのガス導入管8を備えたMBE装置を用いた。

【0027】蒸発用ルツボ2にはGa金属を入れ、1050℃に加熱した。ガスとしてはアンモニアを使用し、ガス導入管8を通してガスセル7に5cc/minの速度で供給した。アンモニアガスは基板6に直接供給するような構造とした。基板6としては、オフ角が0.5度のサファイアR面を使用する。真空容器内の圧力は、成膜時において $2 \times 10^{-6}$ Torrであった。

【0028】まず、基板6を900℃で30分間加熱し、ついで750℃の温度に保持し成膜を行う。成膜はアンモニアを300℃に加熱したガスセル7から供給しながらGaのルツボのシャッターを開けて行い、1.5オングストローム/secの成膜速度で膜厚0.5 $\mu$ mのn型Ga<sub>0.9</sub>N<sub>0.1</sub>薄膜を作製した。さらにMgをチャージして300℃に保たれた蒸発用ルツボ4のシャッターを開けMgドーブのGa<sub>0.9</sub>N<sub>0.1</sub>薄膜を1.5オングストローム/secの成膜速度で膜厚0.05 $\mu$ mの厚さで成膜して発光層を形成した。この作製した薄膜のRHEEDパターンはストリーク状で結晶性および平坦性が良好であり、抵抗を測定したところ、10M $\Omega$ 以上の抵抗があり絶縁状態であった。

【0029】発光層が形成されている基板面の反対面に真空蒸着法を用いて $2 \times 10^{-6}$ Torrの真空中でAlを3000オングストロームの厚みで蒸着し反射膜を形成した。続いて発光層上にスピコーターを用いて2500rpm、30secの条件でレジストを塗布し、90℃のクリーンオープン中で30分間プレベークした。ベーク後、素子パターン形成用のマスクを用いてUV露光し、現像した。続いて、加速電圧500V、圧力 $2 \times 10^{-4}$ Torrの条件のArで15分間イオンミリングを行い素子パターン形成を行った。その後、アセトンを用いてレジストを除去した。次に、再度スピコーターを用いて2500rpm、30secの条件でレジストを塗布し、90℃のクリーンオープン中で30分間プレベークした。ベーク後、i層除去用のマスクを用いてUV露光し、現像した。続いて、加速電圧500V、圧力 $2 \times 10^{-4}$ Torrの条件のAr雰囲気中で1分間イオンミリングを行い不必要なi層を除去した。その後、アセトンでレジストを除去した。次いで、管状炉にセットして10cc/minのアンモニアガス流中で500℃、30分間の熱処理を行った。さらに、スピコーターを用いて2500rpm、30secの条件でレジストを塗布し、90℃のクリーンオープン中で30分間プレベークした。ベーク後、n型Ga<sub>0.9</sub>N<sub>0.1</sub>層の電極形成用のマスクを用いてUV露光し、現像した。続いて、真空蒸着機に装着し $2 \times 10^{-6}$ Torrの真空中でAl金属を0.2 $\mu$ mの厚さで真空蒸着した。その後、アセトンでリフトオフして電極パターンを形成した。ついで、i型

GaN層の電極形成用のマスクを用いてUV露光し、現像した。続いて、真空蒸着機に装着し $2 \times 10^{-6}$  Torrの真空中でAu金属を0.2  $\mu$ mの厚さで真空蒸着した。その後、アセトンでリフトオフして電極パターンを形成した。この作製した発光素子をAr流中で300℃で1時間加熱処理を行い、ミランダ状の電極構造を有する素子チップを完成させた。作製した素子チップの側面図および上面図を図7(a)、(b)に示した。

【0030】各チップのカッティングはダイシングソーを用いて行った。1素子チップは0.5mm $\times$ 0.5mmとした。このうちの1チップを取り出し反射膜側をAgペーストによりリード部材にダイボンディングした。さらにn型GaN層電極、i型GaN層電極とそれぞれのリード部材とをワイヤーボンディング装置を用いて30  $\mu$ m $\phi$  Au線で接続した。上記の方法で作製した発光素子を透明エポキシ樹脂で封止して図8に示すようなLEDを作製した。

【0031】同様の方法で100個のLEDを作製したところ、99個のLEDで発光が確認された。このLEDの発光強度を測定したところ8V、20mAで60mcdであり、青色の発光が観測された。

【0032】

【比較例1】実施例1と同様の方法によりAl<sub>0.3</sub>O<sub>3</sub>基板上に成膜した発光層を有するGaN薄膜を用いて素子化を行った。素子作製過程も実施例1と同様の方法により行い、n型GaN層、i型GaN層の両電極ともAgペーストにより、リード部材にダイボンディングを行った後、透明エポキシ樹脂で封止してLEDを作製した。同様の方法で100個のLEDを作製したところ、Agペーストにより正負の電極が繋がってしまい、9個のLEDでしか発光するものは得られなかった。

【0033】

【実施例2】絶縁性基板としてAl<sub>0.3</sub>O<sub>3</sub>R面を使用し、MBE法によりGa<sub>0.4</sub>In<sub>0.6</sub>N薄膜を成膜し2色発光のLEDを作製した例について説明する。図2に示すような真空容器1内に、蒸発用ルツボ2、3、4、ガスセル7、および基板加熱ホルダー5、さらにガスセル7にガスを供給するためのガス導入管8を備えたMBE装置を用いた。

【0034】蒸発用ルツボ2にはGa金属を入れ、1020℃に加熱し、蒸着用ルツボ3にはIn金属を入れ1000℃に加熱した。ガスとしてはアンモニアを使用し、ガス導入管8を通してガスセル7に5cc/minの速度で供給した。アンモニアガスは基板6に直接供給するような構造とした。基板6としては、オフ角が0.5度のサファイアR面を使用する。

【0035】真空容器内の圧力は、成膜時において $2 \times 10^{-6}$  Torrであった。まず、基板6を900℃で30分間加熱し、ついで700℃の温度に保持し成膜を行う。成膜はアンモニアを300℃に加熱したガスセル7

から供給しながらGaとInのルツボのシャッターを開けて行い、1.5オングストローム/secの成膜速度で膜厚0.5  $\mu$ mのn型Ga<sub>0.4</sub>In<sub>0.6</sub>N薄膜を作製した。さらにMgをチャージして300℃に保たれた蒸発用ルツボ4のシャッターを開けMgをドーピングしたi型Ga<sub>0.4</sub>In<sub>0.6</sub>N薄膜を1.5オングストローム/secの成膜速度で膜厚0.05  $\mu$ mの厚さで成膜して第1の発光層を形成した。次に基板温度を750℃に上げて30分間温度を安定させた後、Gaのルツボのシャッターを開けて1.5オングストローム/secの成長速度で膜厚0.5  $\mu$ mのn型GaN薄膜を成長し、さらにその上に蒸着ルツボ2および4のシャッターを開けてMgをドーピングしたi型GaN薄膜を1.5オングストローム/secの成長速度で膜厚0.05  $\mu$ mの厚さで成膜して第2の発光層を形成した。

【0036】発光層が形成されている基板面の反対面に真空蒸着法を用いて $2 \times 10^{-6}$  Torrの真空中でAlを3000オングストロームの厚さで蒸着し反射膜を形成した。続いて、発光層上にスピコーターを用いて2500rpm、30secの条件でレジストを塗布し、90℃のクリーンオープン中で30分間プレバークした。バーク後、素子パターン形成用のマスクを用いてUV露光し、現像した。続いて、加速電圧500V、圧力 $2 \times 10^{-4}$  Torrの条件のArで25分間イオンミリングを行い素子パターン形成を行った。その後、アセトンを用いてレジストを除去した。次に、再度スピコーターを用いて2500rpm、30secの条件でレジストを塗布し、90℃のクリーンオープン中で30分間プレバークした。バーク後、フォトマスクを用いてUV露光し、現像した。続いて、加速電圧500V、圧力 $2 \times 10^{-4}$  Torrの条件のAr雰囲気中で13分間イオンミリングを行い不必要なi型GaN層、n型GaN層、i型Ga<sub>0.4</sub>In<sub>0.6</sub>N層を除去した。次に、再度スピコーターを用いて2500rpm、30secの条件でレジストを塗布し、90℃のクリーンオープン中で30分間プレバークした。バーク後、フォトマスクを用いてUV露光し、現像した。ついで、加速電圧500V、圧力 $2 \times 10^{-4}$  Torrの条件のAr雰囲気中で13分間イオンミリングを行い不必要なi型GaN層、n型GaN層を除去した。さらに再度スピコーターを用いて2500rpm、30secの条件でレジストを塗布し、90℃のクリーンオープン中で30分間プレバークした。バーク後、フォトマスクを用いてUV露光し、現像した。続いて、イオンミリングを用い不必要なi型GaN層を除去した。その後、アセトンでレジストを除去した。ついで、管状炉にセットして10cc/minのアンモニアガス流中で500℃、30分間の熱処理を行った。さらに、スピコーターを用いて2500rpm、30secの条件でレジストを塗布し、90℃のクリーンオープン中で30分間プレバークした。バーク

後、n型GaN層およびn型Ga<sub>0.5</sub>In<sub>0.5</sub>N層の電極形成用のマスクを用いてUV露光し、現像した。続いて、真空蒸着機に装着し $2 \times 10^{-4}$ Torrの真空中でAl金属を0.2μmの厚さで真空蒸着した。その後、アセトンでリフトオフして電極パターンを形成した。ついで、i型GaN層およびi型Ga<sub>0.5</sub>In<sub>0.5</sub>N層の電極形成用のマスクを用いてUV露光し、現像した。続いて、真空蒸着機に装着し $2 \times 10^{-4}$ Torrの真空中でAu金属を0.2μmの厚さで真空蒸着した。その後、アセトンでリフトオフして電極パターンを形成した。この作製した発光素子をAr流中で300℃で1時間加熱処理を行い、素子チップの構造を完成させた。作製した素子チップの側面図および上面図を図9(a)、(b)に示す。

【0037】各チップのカッティングはダイシングソーを用いて行った。1素子チップは1mm×1mmとした。このうちの1チップを取り出し反射膜側をPb-Snハンダでリード部材にダイボンディングした。その後n型GaN層およびn型Ga<sub>0.5</sub>In<sub>0.5</sub>N層の電極をワイヤーボンディング装置を用いて30μmφAu線で接続した。さらにi型GaN層電極とリード部材、i型Ga<sub>0.5</sub>In<sub>0.5</sub>N層電極とリード部材とをワイヤーボンディング装置を用いて30μmφAu線で接続した。上記の方法で作製した発光素子を透明エポキシ樹脂で封止して、図10に示すようなLEDを作製した。

【0038】同様の方法で100個のLEDを作製したところ、95個のLEDで発光が確認された。このLEDの発光強度を測定したところリード部材66とリード部材67では10V、18mAで40mcdの青色の発光が、リード部材66とリード部材68では、8V、20mAで60mcdの緑色の発光が観測された。

【0039】

【発明の効果】本発明は絶縁性基板上に発光層を形成したプレーナ型の素子チップ構造において、同一平面内に形成された全ての電極を該電極数と同じ数に分割したリード部材にワイヤーボンディング法によりワイヤーでのおの接続することで、安定した性能のLEDを供給することが可能になる。

【図面の簡単な説明】

【図1】 薄膜作製に用いたMBE装置の概略図である。

【図2】 (a)～(h) LEDの作製工程を示した断面図である。

【図3】 本発明による方法で作製したLEDの断面図である。

【図4】 ネット状電極を形成した発光素子の上面図である。

【図5】 クシ状電極を形成した発光素子の上面図である。

【図6】 ミアングラ状電極を形成した発光素子の上面図

である。

【図7】 (a) 実施例1で作製した素子チップの断面図である。

(b) 実施例1で作製した素子チップの上面図である。

【図8】 実施例1で作製したLEDの断面図である。

【図9】 (a) 実施例2で作製した素子チップの断面図である。

(b) 実施例2で作製した素子チップの上面図である。

【図10】 実施例2で作製したLEDの断面図である。

【図11】 発光層の形成されていない側の基板面に金属層が形成された構造からなる発光素子の断面図である。

【図12】 従来の方法で作製されたLEDの断面図である。

【図13】 従来の方法で作製されたフリップチップ方式のLEDの断面図である。

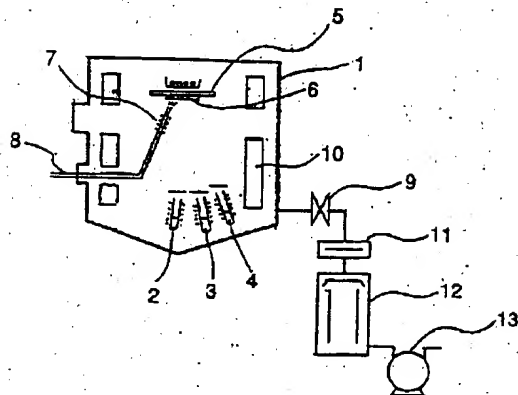
【符号の説明】

- 1 真空容器
- 2 蒸発用ルツボ
- 3 蒸発用ルツボ
- 4 蒸発用ルツボ
- 5 基板加熱ホルダー
- 6 基板
- 7 ガスセル
- 8 ガス導入管
- 9 流量調節バルブ
- 10 クライオパネル
- 11 コールドトラップ
- 12 油拡散ポンプ
- 13 油回転ポンプ
- 14 p型あるいはi型半導体層
- 15 n型半導体層
- 16 絶縁性基板
- 17 金属反射膜
- 18 レジスト
- 19 n型半導体層電極
- 20 p型あるいはi型半導体層電極
- 21 リード部材(1)
- 22 リード部材(2)
- 23 金属ワイヤー
- 24 素子チップ
- 25 LED
- 26 電極
- 27 i型GaN層電極
- 28 n型GaN層電極
- 29 i型GaN層
- 30 n型GaN層

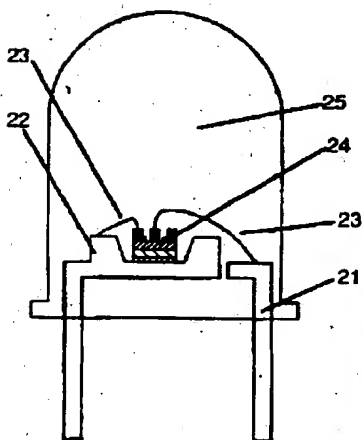
13

- 31 サファイア基板
- 32 Al反射膜
- 33 リード部材(3)
- 34 リード部材(4)
- 35 Auワイヤー
- 36 GaN発光素子チップ
- 37 GaNMIS型LED
- 38 i型Ga<sub>0.8</sub>In<sub>0.2</sub>N層電極
- 39 n型Ga<sub>0.8</sub>In<sub>0.2</sub>N層電極
- 40 i型Ga<sub>0.8</sub>In<sub>0.2</sub>N層
- 41 n型Ga<sub>0.8</sub>In<sub>0.2</sub>N層

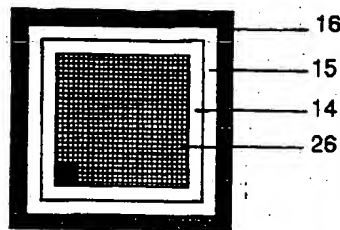
【図1】



【図3】



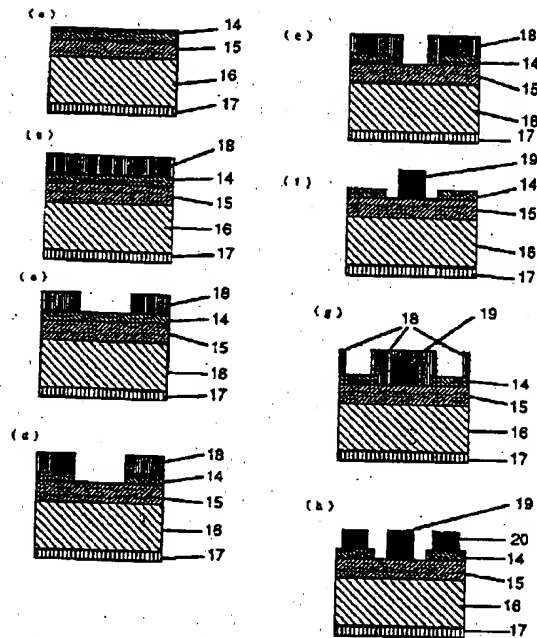
【図4】



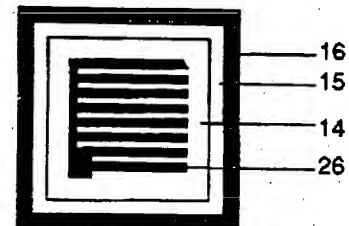
14

- 42 リード部材(5)
- 43 リード部材(6)
- 44 リード部材(7)
- 45 GaN、Ga<sub>0.8</sub>In<sub>0.2</sub>N発光素子チップ
- 46 2色発光LED
- 47 リード部材(8)
- 48 リード部材(9)
- 49 リードフレーム
- 50 ミラー面
- 51 リード部材(10)
- 52 リード部材(11)

【図2】

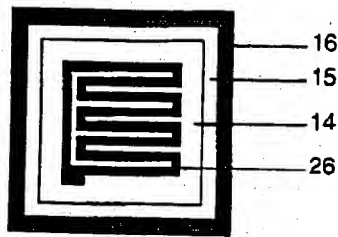


【図5】

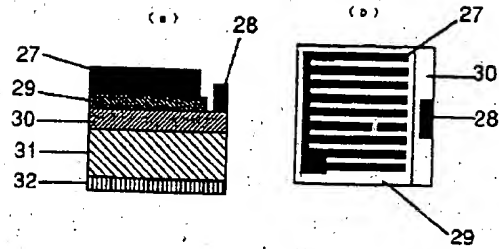




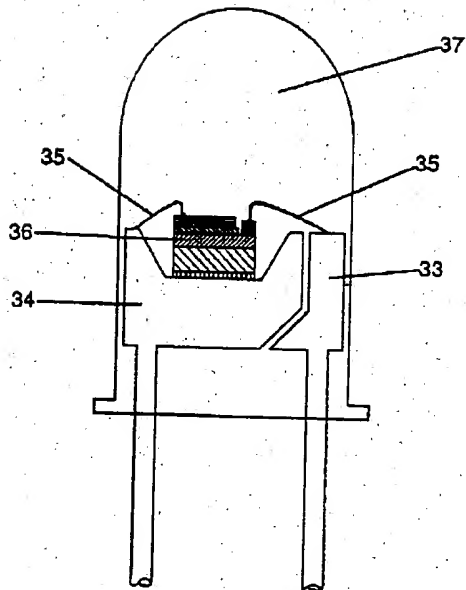
【図6】



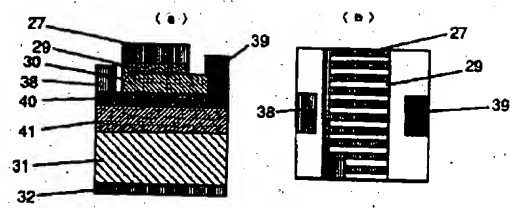
【図7】



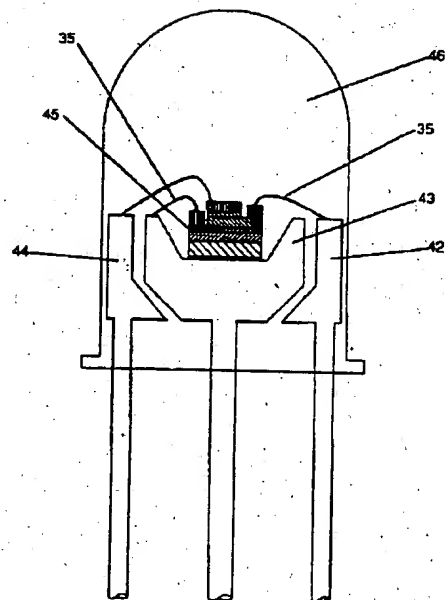
【図8】



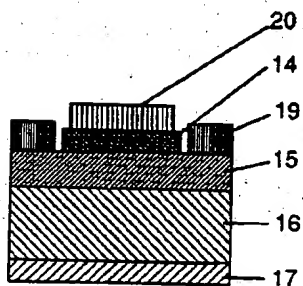
【図9】



【図10】



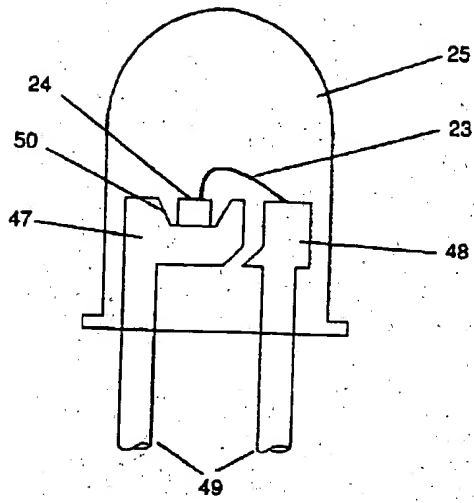
【図11】



(10)

特開平6-69546

【図12】



【図13】

